

電気的特性 / Ta = -15 ~ +60, V _{SS} = 0V, V _{DD} = 4.75 ~ 5.25V			min	typ	max	unit
入力「H」レベル電圧	V _{IH}	TLL対応 : (4)	2.2			V
入力「L」レベル電圧	V _{IL}		V _{SS}		0.8	V
入力「H」レベル電圧	V _{IH}	TLL対応 : (2), (8)	2.5			V
入力「L」レベル電圧	V _{IL}		シュミット	V _{SS}		0.6
入力「H」レベル電圧	V _{IH}	CMOS対応 : (3)	0.7V _{DD}			V
入力「L」レベル電圧	V _{IL}				0.3V _{DD}	V
出力「H」レベル電圧	V _{OH}	I _{OH} = -25mA : (1)	V _{DD} - 2.1			V
出力「L」レベル電圧	V _{OL}	I _{OL} = 25mA : (1)			0.4	V
出力「H」レベル電圧	V _{OH}	I _{OH} = -8mA : (6)	V _{DD} - 2.1			V
出力「L」レベル電圧	V _{OL}	I _{OL} = 8mA : (6)			0.4	V
出力「H」レベル電圧	V _{OH}	I _{OH} = -4mA : (5), (7), (8)	V _{DD} - 2.1			V
出力「L」レベル電圧	V _{OL}	I _{OL} = 4mA : (5), (7), (8)			0.4	V
入力リーク電流	I _L	V _I = V _{SS} , V _{DD} : (2), (8)	- 10		+ 10	μA
出力リーク電流	I _{OZ}	High-Z出力時 : (5), (8)	- 10		+ 10	μA

適用ピンは、下記の名前に対応

(INPUT)

- (2)CLKS, FTTRG, HR, REGRES, SENS, STTRG, VR
- (3)EXT1 ~ 4, TEST, TEST2, ALONG, SELMET3, IREF1 ~ 2, OEB, RES, SMER
- (4)MCKI

(OUTPUT)

- (1)HT1, HT2
- (5)DOUT0 ~ 7
- (6)FSC4, HTR
- (7)ACTPIX, CSYNC, FLD, HD, HTCLK, NSUB, VD, VI1 ~ 4, VREQ, VS1 ~ 4

(INOUT)

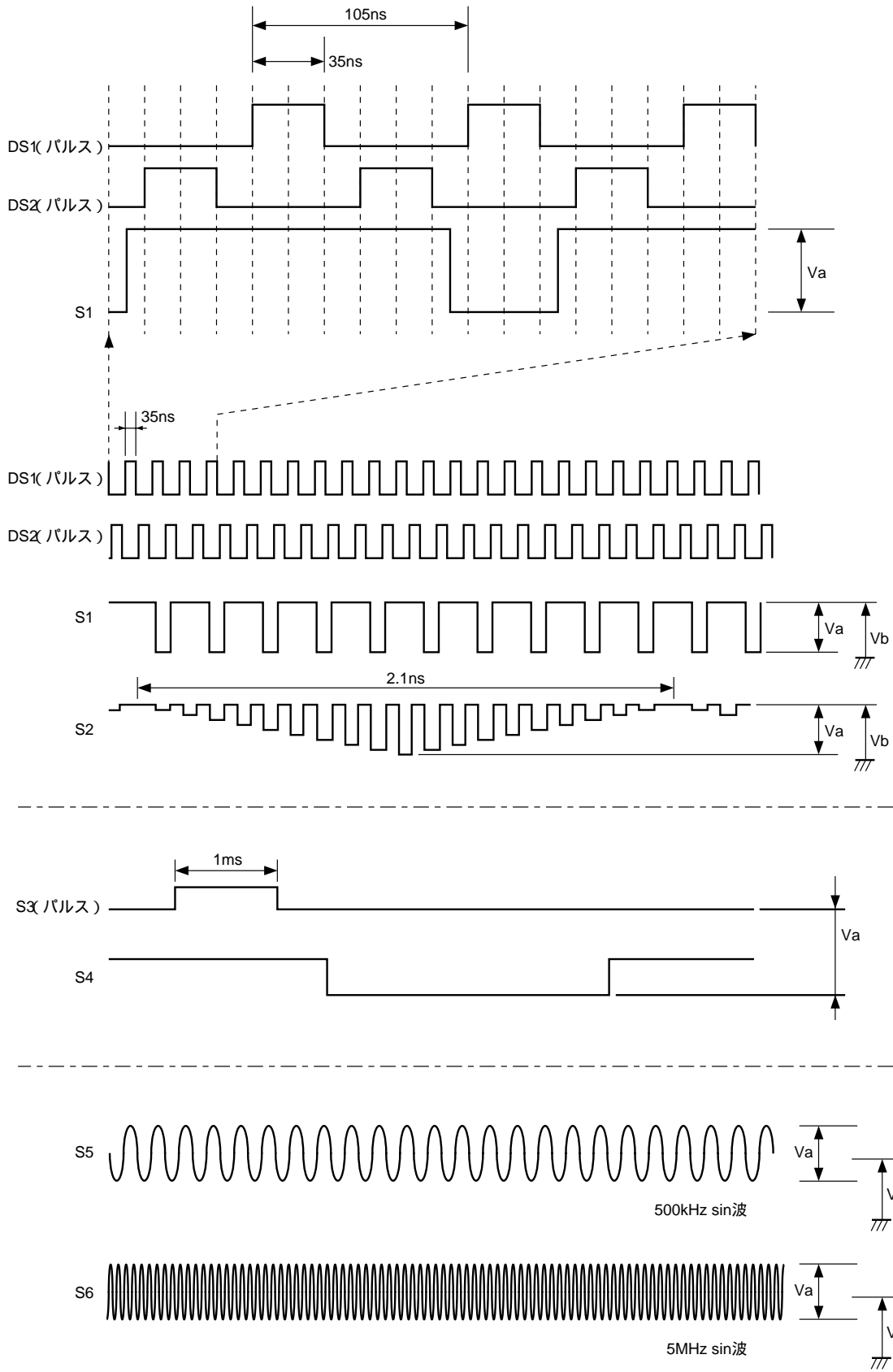
- (8)DATAS

注) REFHIN, REFLIN, GOUT, MONIOR, REFH, REFL, YOUT, CAP1, CAP2, CAPB2, CCDIN, GIN, REFM, YINについては、直流特性には含まれていない。

アナログ部電気的特性 / $T_a = 25$, $V_{DD} = 5.0V$

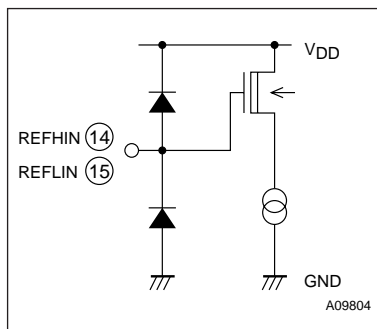
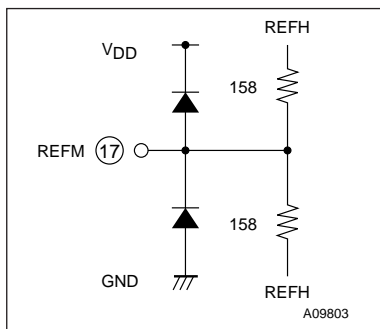
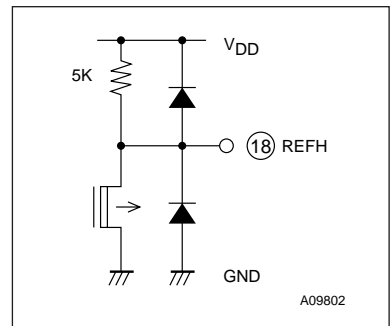
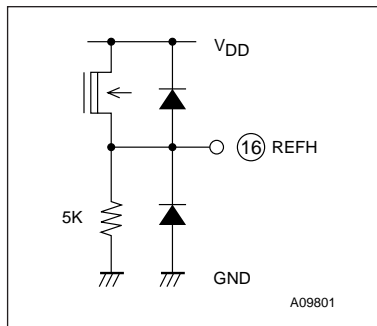
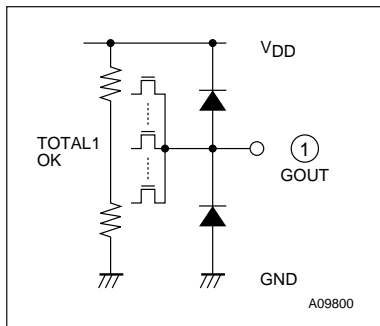
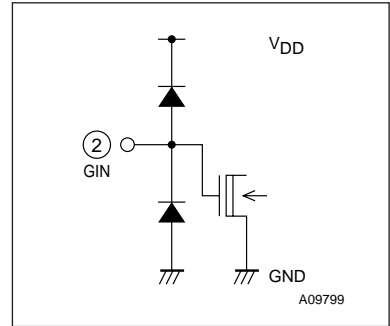
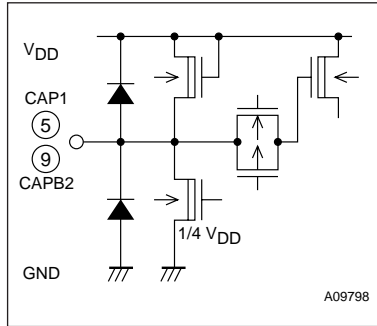
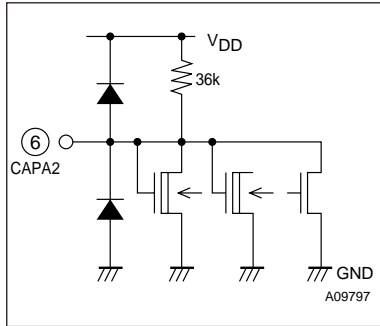
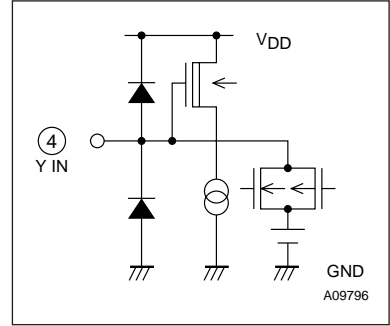
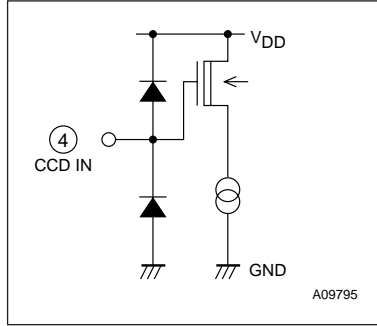
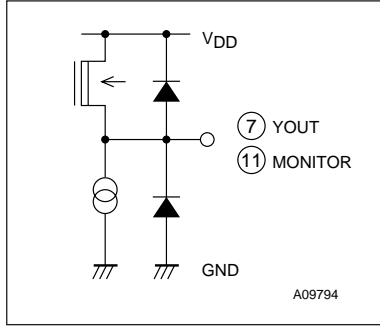
[CDS, AGC部]			min	typ	max	unit
CAP1のDCレベル	CAP1	CAP1の出力DCレベル	3.40	3.60	3.80	V
CAPA2のDCレベル	CAPA2	CAPA2の出力DCレベル	0.45	0.65	0.80	V
CSDSCレベル1	CSDSC1	YOUTの出力DCレベル	2.60	3.00	3.50	V
CSDSCレベル2	CSDSC2	CCD _{IN} = 3.5V (DC), G _{IN} = 2.5V (DC)				
		YOUTの出力DCレベル変動 (CSDSC1に対する) CCD _{IN} = 2.5V (DC), G _{IN} = 2.5V (DC)	- 0.10	0.00	0.10	V
GCDCオフセット1	GCDC _{OFF} 1	YOUTの出力DCレベル変動	- 0.20	0.00	0.20	V
		(CSDSC1に対する) CCD _{IN} = 3.5V (DC), G _{IN} = 2.0V (DC)				
GCDCオフセット2	GCDC _{OFF} 2	YOUTの出力DCレベル変動	- 0.40	0.00	0.40	V
		(CSDSC1に対する) CCD _{IN} = 3.5V (DC), G _{IN} = 1.0V (DC)				
GCゲイン1	GCG1	YOUTの振幅 CCD _{IN} = S2, 100mVp-p, G _{IN} = 2.0V	0.30	0.43	0.55	V
		G _{IN} = 2.5V時のゲイン比 (GCG1)	- 5.00	- 3.75	- 2.50	dB
GCゲイン2	GCG2	G _{IN} = 1.5V時のゲイン比 (GCG1)	2.00	3.00	4.00	dB
GCゲイン3	GCG3	G _{IN} = 1.0V時のゲイン比 (GCG1)	4.50	5.50	6.50	dB
GCゲイン4	GCG4	G _{IN} = 1.0V時のゲイン比 (GCG1)	4.50	5.50	6.50	dB
アナログDレンジ1	ANAD1	CCD _{IN} = S2, 1000mVp-p, G _{IN} = 2.5V	1.50	2.10	2.70	V
アナログDレンジ2	ANAD2	CCD _{IN} = S2, 300mVp-p, G _{IN} = 1.0V	1.70	2.30	3.00	V
アナログ周波数特性	ANAF	f = 500kHz (S2) に対する f = 5MHz (S1) での減衰比 CCD _{IN} = 300mVp-p, G _{IN} = 2.0V	- 2.00	- 0.50	+ 1.00	dB
アナログリニアリティ	ANAL	5ステップの階段波の中央値に対する ワースト値の差 CCD _{IN} = S7, 300mVp-p, G _{IN} = 2.0V	- 0.10	0	+ 0.10	V
[CLP, ADC部]						
CLPB2DCレベル	CAPB2	CAPB2の出力DCレベル	3.50	3.70	3.90	V
CLPのDCレベル1	CLPDC1	OPBクランプ回路のクランプ電圧	1.90	2.20	2.50	V
		クランプ常時ON (Y _{IN} = Cで接地)				
CLPのDCレベル2	CLPDC2	OPBクランプ回路のクランプ電圧	1.90	2.20	2.50	V
		クランプ常時OFF. Y _{IN} = 3.6V (DC)				
REFHのDCレベル	OPDCH	オペアンプの出力DCレベル	2.10	2.40	2.70	V
REFLのDCレベル	OPDCL	オペアンプの出力DCレベル	0.70	1.00	1.30	V
ADC直線性誤差	AD1INL	ビデオ用8bitADCの直線性誤差	0.01	0.75	1.50	LSB
ADC微分直線性誤差	AD1DNL	ビデオ用8bitADCの微分直線性誤差	0.01	0.75	1.50	LSB
分解能	AD1RES	ビデオ用8bitADCの分解能			8	bit
最大変換速度	AD1FMAX	ビデオ用8bitADCの最大変換速度			20	MSPS
[AGC用DAC部]						
ゼロスケール電圧	DAVZS	AGC用10bitDACのゼロスケール	- 0.20	0.00	0.20	V
		出力電圧				
フルスケール電圧	DAVFS	AGC用10bitDACのフルスケール	4.80	5.00	5.20	V
		出力電圧				
DAC直線性誤差	DAINL	AGC用10bitDACの直線性誤差	0.01	2.00	4.80	LSB
DAC微分直線性誤差	DADNL	AGC用10bitDACの微分直線性誤差	0.01	2.00	4.90	LSB
分解能	DARES	AGC用10bitDACの分解能			10	bit
最大変換速度	DAFMAX	AGC用10bitDACの最大変換速度			1	MSPS
[全体]						
消費電流	I _{DD} 1	動作モードでの消費電流			160	mA
スタンバイ時消費電流	I _{DD} 2	スタンバイモードでの消費電流			75	mA

測定入力信号



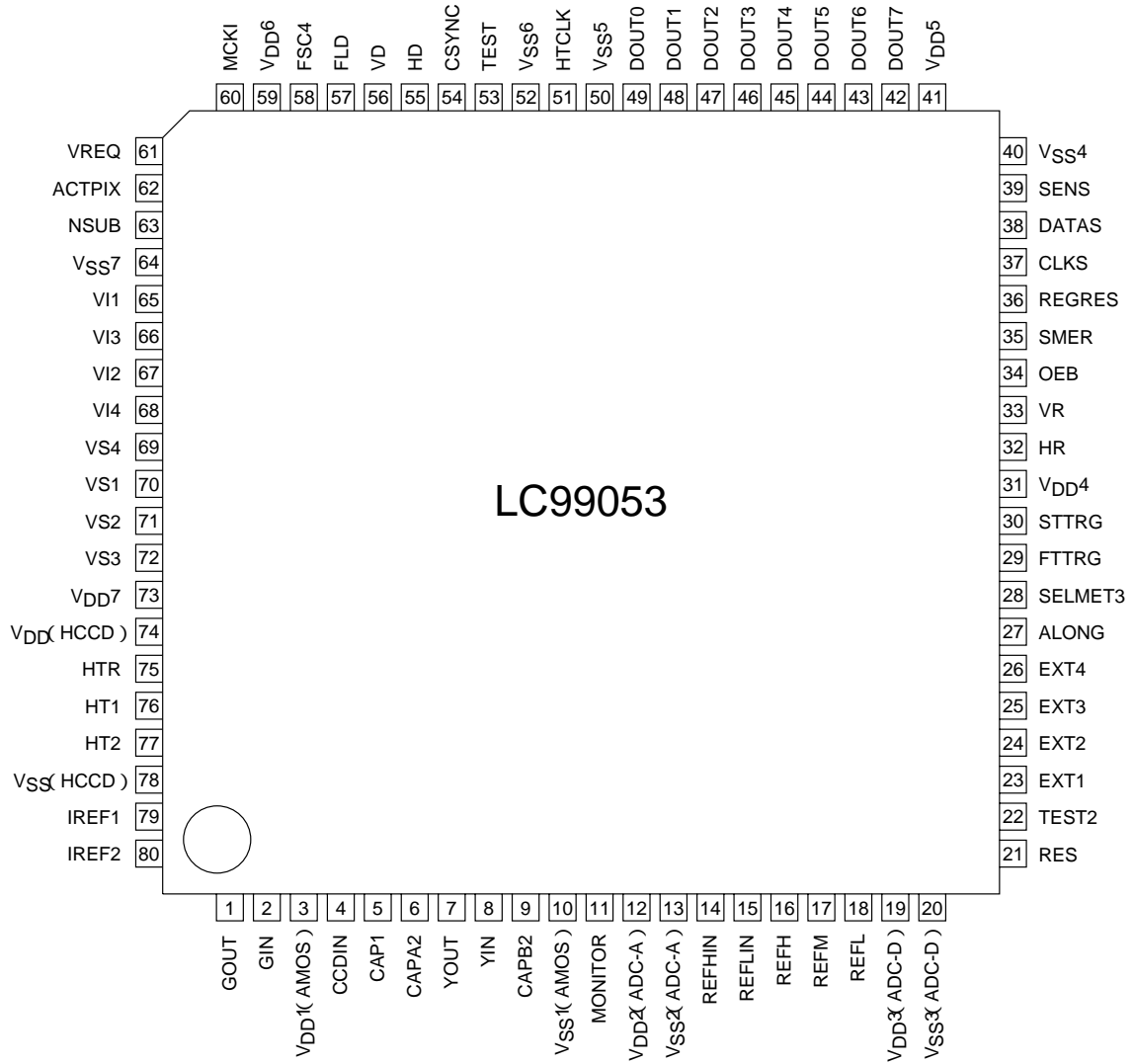
A09793

各ピンの等価回路



LC99053

ピン配置図



A09805

端子説明

端子番号	端子名	I/O	機能説明
1	GOUT	O	Gain Control出力
2	GIN	I	Gain Control入力
3	V _{DD1} (AMOS - A)		
4	CCDIN	I	CCD入力ピン
5	CAP1	I	AMOS - CDSバイアスピン
6	CAPA2	I	AMOS - AGCバイアスピン
7	YOUT	O	AGC出力
8	YIN	I	Clamp, ADC入力
9	CAPB2	I	AMOS-Clamp バイアスピン
10	V _{SS1} (AMOS - A)		
11	MONITOR	O	Clamp, ADC入力MONITOR
12	V _{DD2} (ADC - A)		
13	V _{SS2} (ADC - A)		
14	REFHIN	I	AD High-Reference入力
15	REFLIN	I	AD Low-Reference入力
16	REFH	O	AD High-Reference出力
17	REFM	I	AD Middle-Reference出力
18	REFL	O	AD Low-Reference出力
19	V _{DD3} (ADC - D)		
20	V _{SS3} (ADC - D)		
21	RES	I	Test用Reset Pin 0 : Test Mode 1 : Real Mode
22	TEST2	I	Test用Pin 0 : Real Mode 1 : Test Mode
23	EXT1	I	EXT1, 2 = 00 ; Direct H, V Reset 10 ; Direct C.sync Reset 01 ; 外部トリガモード1 11 ; 外部トリガモード2
24	EXT2	I	
25	EXT3	I	EXT3, 4 = 00 ; Auto Iris 10 ; Normal1/60s 01 ; External Shutter 11 ; External FT , ST
26	EXT4	I	
27	ALONG	I	0 ; Real mode 1 ; テストモード
28	SELMET3		Auto iris mode ; = selmet3 0 : テストモード 1 : 各種測光モード
29	FTTRG	I	External Frame sift Triger input Auto iris mode ; = selmet1
30	STTRG	I	External Shutter Triger input Auto iris mode ; = selmet2
31	V _{DD4}		
32	HR	I	Hsync, CSYNC Reset Pulse input
33	VR	I	Vsync Reset Pulse input
34	OEB	I	DOUT0 ~ 7のOutput Enable pin ; 0 : active1 : High-Z
35	SMER	I	1 ; offset smear reducer on 0 ; offset smer reducer off
36	REGRES	I	Register Reset 0 : Reset 1 : Set
37	CLKS	I	Serisl Clock input
38	DATAS	B	Serial Data BI-DIRECTIONAL
39	SENS	I	Serisl Enable input
40	V _{SS4}		
41	V _{DD5}		
42	DOUT7	O	AD Digital output (MSB) (正極性)
43	DOUT6	O	
44	DOUT5	O	
45	DOUT4	O	

次ページへ続く。

前ページから続く。

端子番号	端子名	I/O	機能説明
46	DOUT3	O	
47	DOUT2	O	
48	DOUT1	O	
49	DOUT0	O	
50	V _{SS5}		
51	HTCLK	O	DOUT0~7のLatch clock
52	V _{SS6}		
53	TEST	I	0 : Test mode 1 : Real mode
54	CSYNC	O	水平垂直コンポジット同期信号
55	HD	O	水平同期信号
56	VD	O	垂直同期信号
57	FLD	O	フィールド識別信号
58	FSC4	O	MCK/2 clock out
59	V _{DD6}		
60	MCKI	I	Master Clock input
61	VREQ	O	flame-shift flg
62	ACTPIX	O	映像画素エリアフラグ
63	NSUB	O	CCD NSUB Drive pulse
64	V _{SS7}		
65	VI1	O	CCD Image arer Drive pulse
66	VI3	O	
67	VI2	O	
68	VI4	O	
69	VS4	O	CCD storage area Drive pulse
70	VS1	O	
71	VS2	O	
72	VS3	O	
73	V _{DD7}		
74	V _{DD} (HCCD)		
75	DHTR	O	Reset gate pilse for Output buffer (FDA)
76	DHT1	O	CCD Horizontal register Drive pilse
77	DHT2	O	
78	V _{SS} (HCCD)		
79	IREF1	I	Auto Irisの微調
80	IREF2	I	Auto Irisの微調

電源投入時の注意点

本ICには電源ピンが合計8ピンある。各機能ブロックの電源ごとにノイズフィルタを挿入する場合は、電源投入時の各電源間の立上りタイムを3ms以内にする。本ICには双方向ピンDATASがある。電源立上げ時には入力状態か出力状態かわからないのでBUSショートをさけるように対策する必要がある。その方法として以下の3つの方法がある。

1. スタンドアイロンで使用する場合

レジスタ設定用の端子CLKS, DATAは、pull-downを、SENSは、pull-upして使用すること。

2. 外部回路によってレジスタを制御する場合

外部回路のDATASに供給するラインを「High-Z」にすること。

外部回路のCLKS, SENSに供給するラインを「L」にすること。

LC99053の電源投入を行うこと。

外部回路のSENSに供給するラインを「H」にすること。

外部回路のDATASに供給するラインを「L」にすること。

レジスタ設定用の端子CLKS, DATAは、pull-downを、SENSは、pull-upして使用すること。

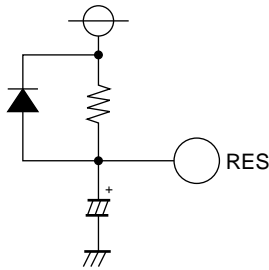
3. 外部回路の電源とLC99053の電源を別々に制御できない場合

LC99053、外部回路の電源投入を行うこと。

外部回路のRESに供給するラインを「L」にしておくこと（この状態ではLC99053のDATASが入力となる）。

外部回路のSENSに供給するラインを「H」にしてから外部回路のRESに供給するラインを「H」になるよう遅延を与える。

レジスタ設定用の端子CLKS, DATAは、pull-downを、SENSは、pull-upして使用すること。



なお遅延させる回路として左の回路を参考にすること。また 定数は、外部回路によって異なるので、上記の条件を満たすような時定数を検討することが必要である。

A09806

主な機能

SSG

- NTSC ; 基準クロックは、 $8f_{sc} = 28.636\text{MHz}$
- C.SYNC入力の同期分離機能。C.SYNCより、HSYNC, VSYNCを分離する、同期分離回路を内蔵
- 電子シャッタ、フレーム転送、水平読み出しトリガによる外部トリガコントロールモード
- 水平読み出しトリガ入力による外部トリガコントロールモード (オートアイリス動作)

TG

- LC9997Mを駆動するためのパルスを発生
- インタレース / ノンインタレース駆動が可能
- FTTRG, STTRGによる外部からの露光時間制御が容易

電子アイリス

- 電子アイリス (電子シャッタ機能を利用した露光時間制御)のための回路、映像信号積分回路、検波回路、露光制御等回路など、すべてをデジタル回路で内蔵。安定した制御が可能。
- 応答スピード、変化率設定が可能
- ダイレクト設定モード
- 測光方式も4パターン用意
- 中央測光、下方測光
- 画面中央エリアに重点をおいた、3エリアによる測光
- 画面下方エリアに重点をおいた、3エリアによる測光
- 設定ピンによる前面測光
- 長時間露光
- アイリスのホールド機能 (レジスタ)
- 外部ピンによる、アイリス微調整補正機能追加

CDS (相関二重サンプリング回路)

- ホールド用コンデンサ内蔵
- 無調整
- 位相調整機能あり

AGCアンプ

- 無調整
- AGCのためのコントロール信号は、電子アイリスと連動したデジタル制御系と、内蔵10bitDACにより発生。デジタルコードによるゲイン設定も可能。

ADC

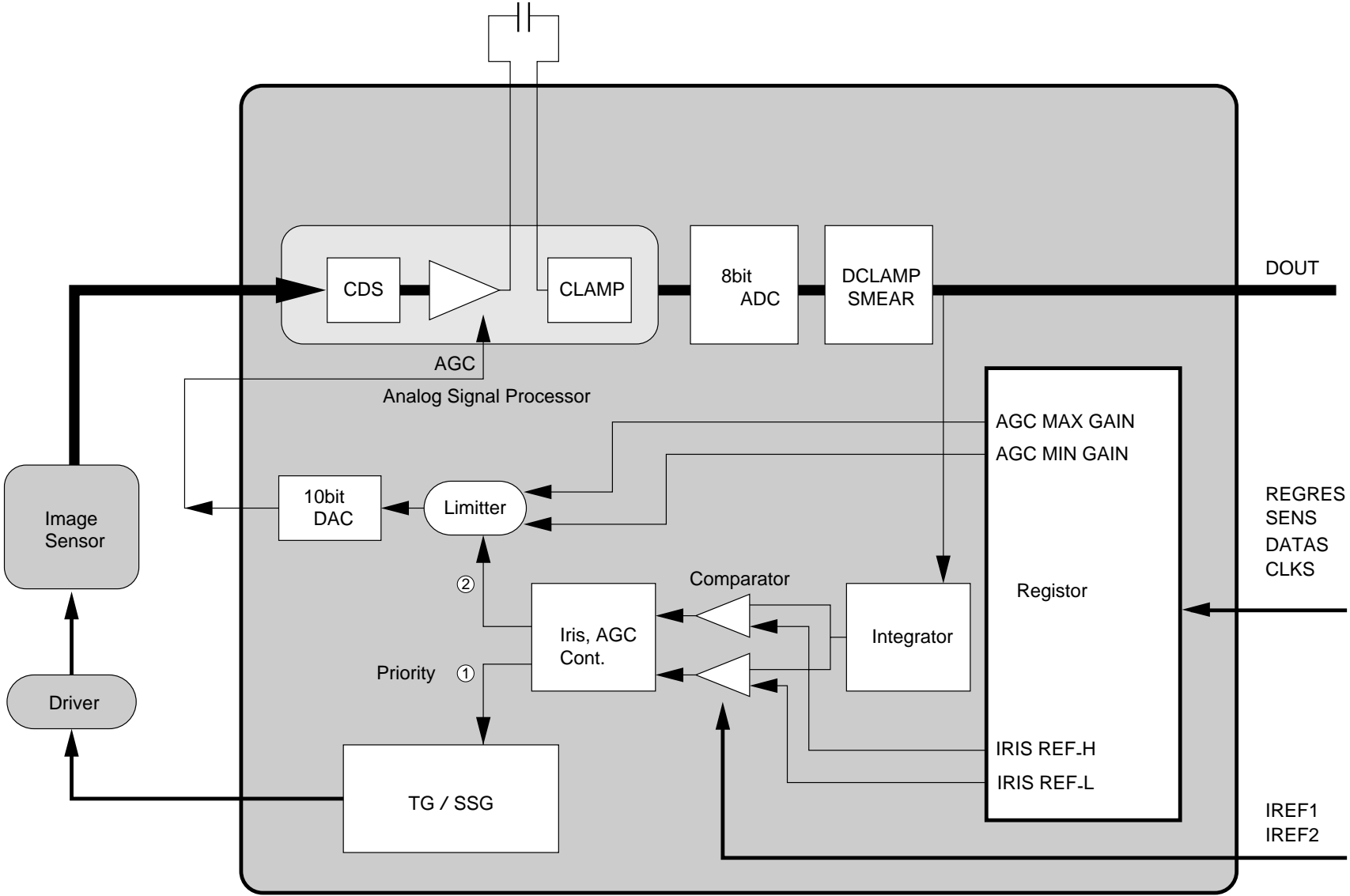
- CDS, AGC, OPBクランプ処理後のCCD映像信号を8bitで、AD変換する。
- 前段にOPBクランプ回路内蔵
- リファレンス電圧発生用のOP - AMPを内蔵。リファレンス電圧を抵抗分割で、供給できる。また、前段クランプ回路のバイアス電圧と、リファレンス電圧を共通にすることにより、黒レベルの調整が不要。

オフセットスミア補正機能

- 除去レベルの各種設定可能
- デジタルクランプ内蔵

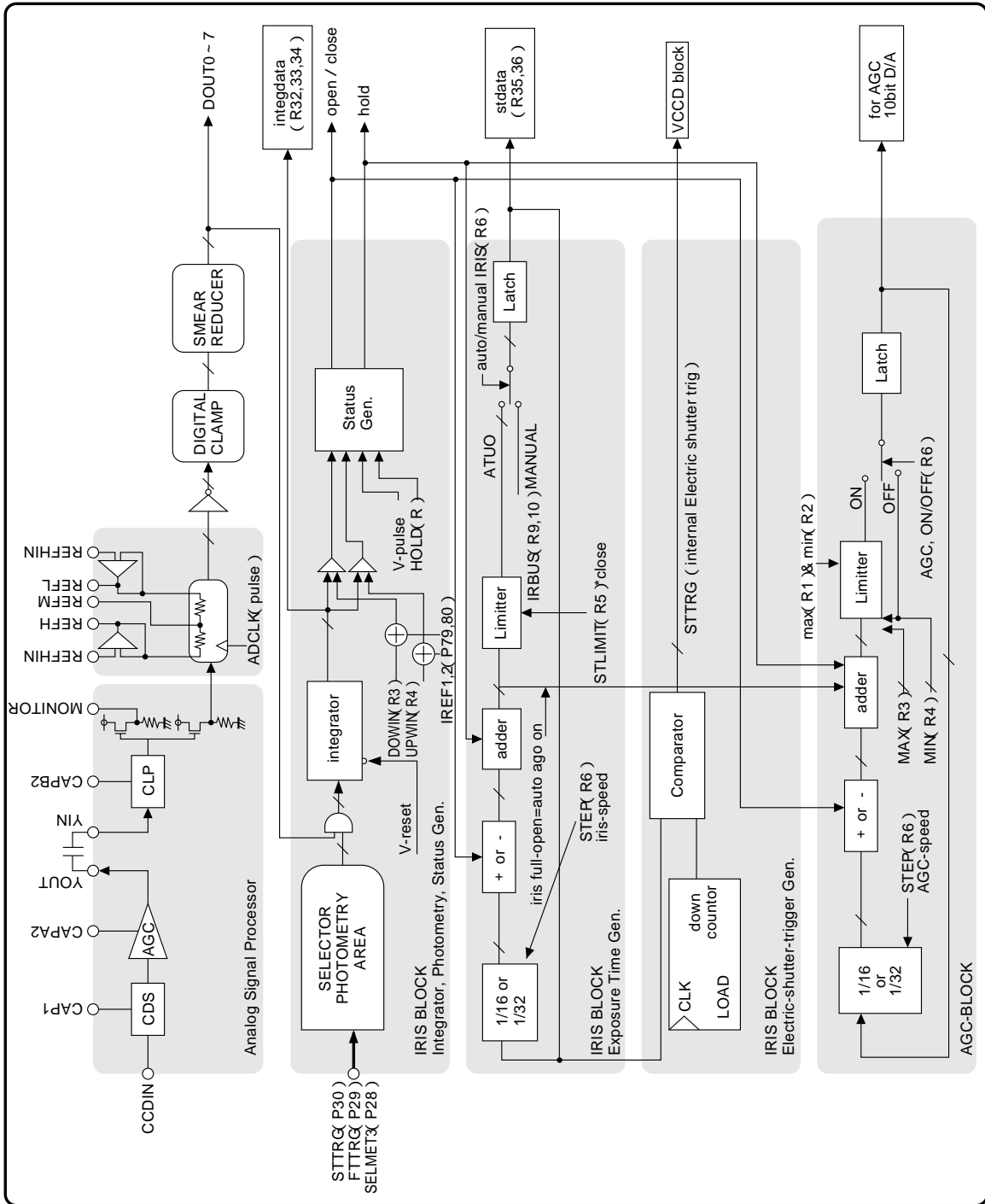
その他追加機能

- Registerの設定は、3ピンのシリアルI/Fにより可能。
- Stand aloneが可能。また、Stand aloneでも、各種調整、設定が外部ピンにより可能。

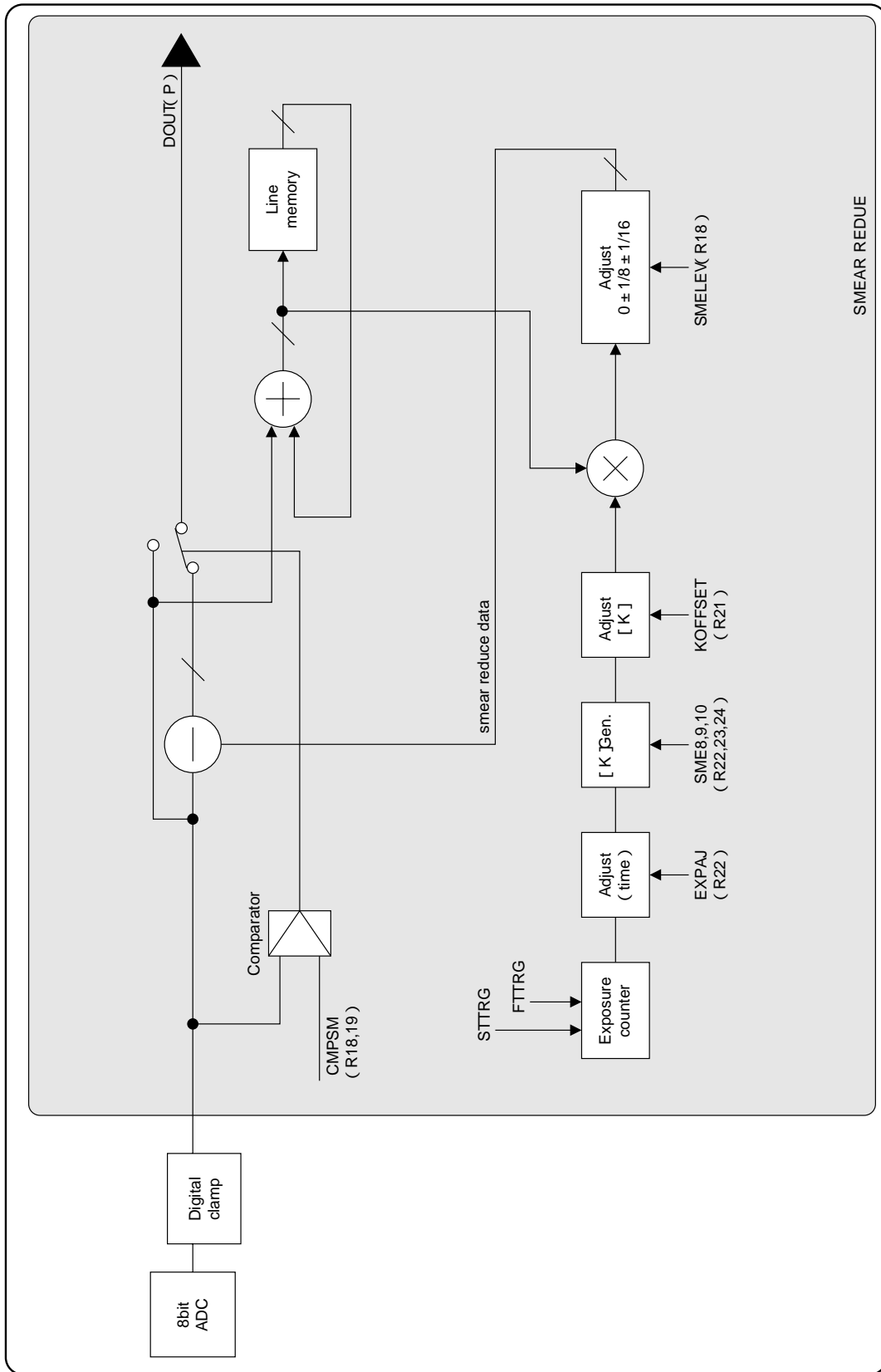


IRIS, AGC等価回路図

AO9809



オフセットSMEAR REDUCERブロック図



A09810