

MN1203

256 ビット CMOS スタチック RAM / 256-Bit CMOS Static RAM

■ 概要 / Description

MN1203 は、4 ビット入出力を基本とする 256 ビット (64 ワード × 4 ビット) CMOS スタチック RAM です。

アドレス入力およびデータ入力は、4 本の共通入力端子から入力されます。チップ選択は、2 本のピン入力情報とアドレス上位 4 ビット中の上位 2 ビットデータが一致したときにのみ行なわれます。このため、256 ワードまでのメモリ容量の拡張は容易に可能です。4 本のデータ出力端子は、TTL コンパチブルでスリーステート方式です。

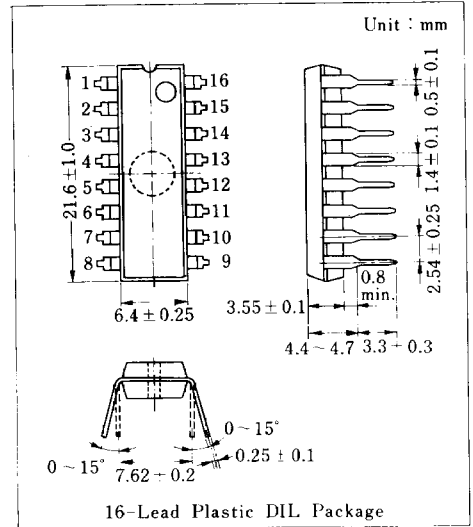
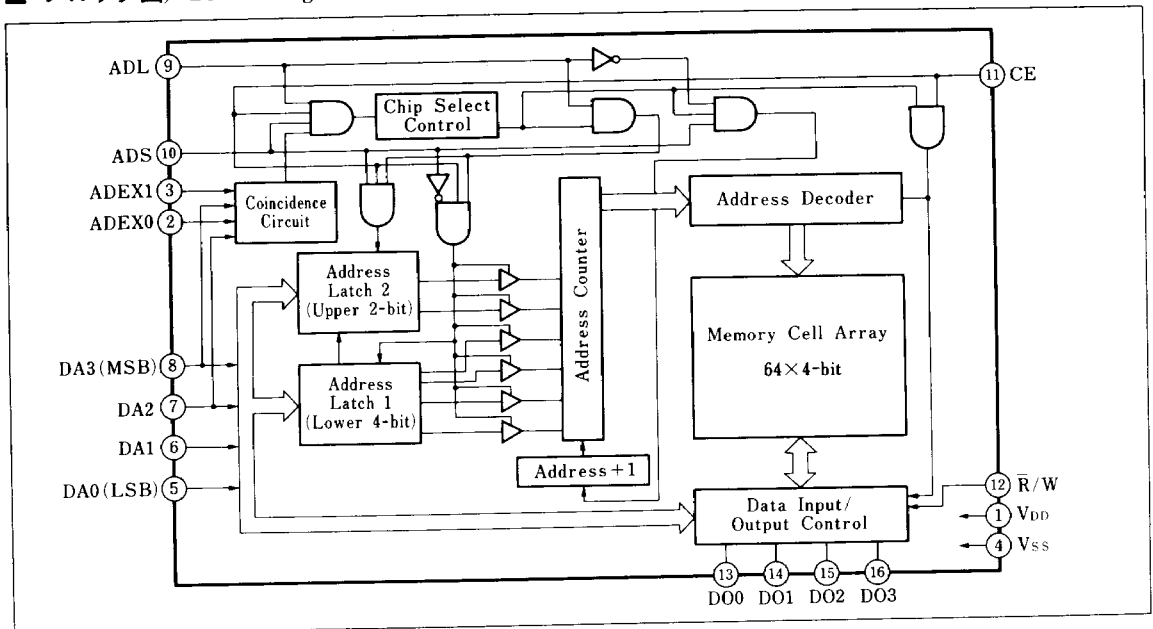
MN1203 は、CMOS プロセスを採用しているため、動作時の消費電力は極めて少なく、停電時のバッテリサポートが可能です。

The MN1203 is a 256-bit (64 words × 4 bits) CMOS static RAM having 4-bit common address data inputs. The device outputs are TTL compatible three-state buffers. The device operates from a single +5 V supply.

■ 特徴

- メモリ構成 64 ワード (4 ビット/ワード)
- アドレスデータ入力 4 ビットラッチつき
- データ出力 TTL コンパチブルスリーステート方式
- 電源電圧 +5 V
- アクセスタイム 最大 6 μs

■ ブロック図 / Block Diagram



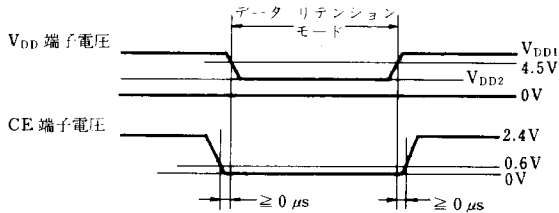
■ 絶対最大定格/Absolute Maximum Ratings ($V_{SS} = 0V$, $T_a = 25^\circ C$)

Item	Symbol	Rating	Unit
電源電圧	V_{DD}	$-0.3 \sim +8$	V
入力電圧	V_i	$-0.3 \sim V_{DD} + 0.3$	V
出力電圧	V_o	$-0.3 \sim V_{DD} + 0.3$	V
動作周囲温度	T_{opr}	$-20 \sim +70$	$^\circ C$
保存温度	T_{stg}	$-55 \sim +100$	$^\circ C$

■ 動作条件/Operating Conditions ($T_a = 25^\circ C$)

Item	Symbol	Condition	min.	typ.	max.	Unit
電源電圧	V_{DD}		4.5	5.0	5.5	V
電源電圧	V_{MM}	Memory Back-up*1	2.5			V

*1 メモリ・バックアップ時波形図

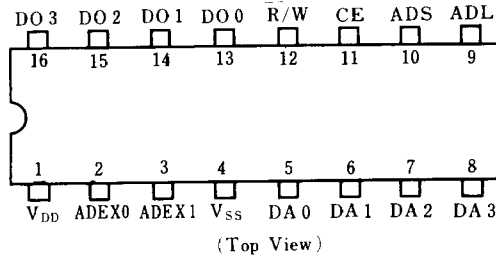
■ 電気的特性/Electrical Characteristics ($V_{SS} = 0V$, $V_{DD} = +5V$, $V_{MM} = +2.5V$)

Item	Symbol	Condition	min.	typ.	max.	Unit
電源電流	動作時	$I_{DD(1)}$	$V_{DD1} = +5.0V$, $V_{CE} \leq 0.2V$ 出力オープン		30	μA
	バッテリー・バックアップ時	$I_{DD(2)}$	$V_{DD2} = +2.5V$, $V_{CE} \leq 0.2V$ 出力オープン		10	μA
入力端子						
入力電圧ハイレベル	V_{IH}		2.4		V_{DD}	V
入力電圧ローレベル	V_{IL}		0		0.8	V
出力端子						
出力電圧ハイレベル	V_{OH} *1	$I_{OH} = -1mA$	2.4			V
出力電圧ローレベル	V_{OL} *1	$I_{OL} = 2mA$			0.4	V
出力リーク電流(1)	$I_{Laak(1)}$ *2	$V_o = V_{DD}$			+100	μA
出力リーク電流(2)	$I_{Leak(2)}$ *2	$V_o = 0V$			-100	μA

*1 データ読出し時

*2 出力ハイインピーダンス時

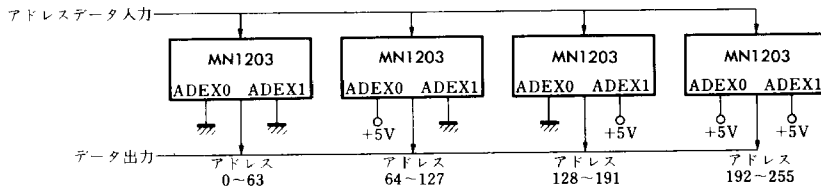
■ 端子接続図 / Terminal Connections



■ 端子説明 / Terminal Assignments

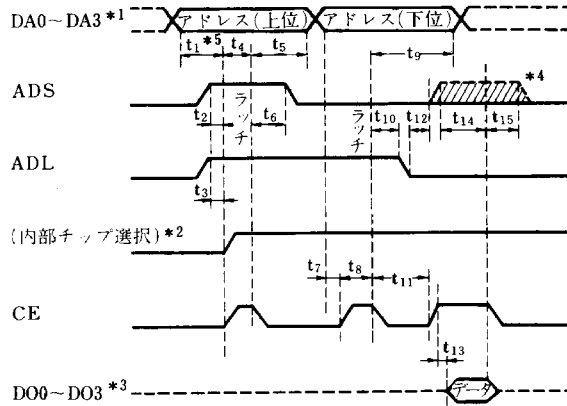
端子番号	記号	区分	極性	端子の説明
1	V _{DD}	電源	-	V _{DD} 電圧印加 (標準 +5V)
4	V _{SS}	電源	-	接地 (通常 0V)
5	DA0	入力	正	データおよびアドレス入力 (LSB)
6	DA1	入力	正	データおよびアドレス入力
7	DA2	入力	正	データおよびアドレス入力
8	DA3	入力	正	データおよびアドレス入力 (MSB)
13	DO0	出力	正	データ出力
14	DO1	出力	正	データ出力
15	DO2	出力	正	データ出力
16	DO3	出力	正	データ出力
10	ADS	入力	正	アドレスラッチ選択 L: 下位 4 ビット H: 上位 2 ビット
9	ADL	入力	正	アドレスラッチへのデータ取込み
11	CE	入力	正	チップイネーブル入力 H: チップイネーブル
12	R/W	入力	正	書込み指定入力 H: 書込み
2	ADEX0*	入力	正	チップ選択 アドレス上位 4 ビット中の MSB-1 と対応
3	ADEX1*	入力	正	チップ選択 アドレス上位 4 ビット中の MSB と対応

* ADEX0, ADEX1 は下記のような接続により、256 ワードまで拡張することができる。この場合、アドレス入力は、8 ビットとして取り扱う。



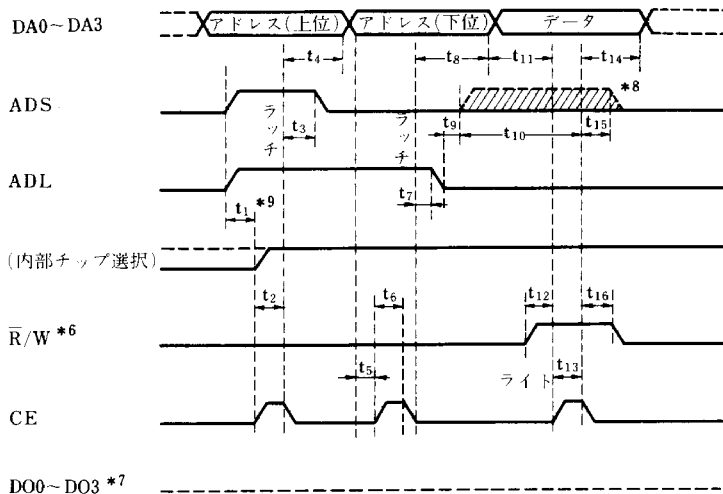
■ タイミング図/Timing Diagrams

1. リードサイクル/READ Cycle



- *1 アドレスデータ DA0~DA3 は、アドレスセレクト ADS “H” レベル時に上位 2 ビット、“L” レベル時に下位 4 ビットがラッチされる。ラッチされたデータは、下位アドレス指定時に上位アドレスとともにアドレスカウンタに転送される。
 - *2 内部チップ選択は、アドレス (上位) の上位 2 ビットのデータと ADEX0, ADEX1 各端子で設定されているレベルが一致したときにセットされる。内部チップ選択は、それ以後のアドレス (上位) 入力時まで、その状態を維持する。
 - *3 DO0~DO3 は、ADL “L” レベルで、かつ CE “H” レベルのときを除いて出力開放となる。
 - *4 ADS “H” レベル、ADL “L” レベル時の CE 負エッジで、アドレスカウンタは自動的に +1 される。ただし、アドレス 63 の次の +1 でアドレスは 0 になる。任意のアドレスまで +1 した後、下位アドレスを指定すると、前回指定した上位アドレスと新たな下位アドレスとでアドレスが決まる。
 - *5 タイミング時間： $t_1, t_2, t_3, t_4, t_5, t_6, t_8, t_9, t_{10}, t_{11}, t_{14}$ および t_{15} は $6\mu\text{s}$ 以上。
 タイミング時間： t_7 および t_{12} は $0\mu\text{s}$ 以上。
 タイミング時間： t_{13} は $6\mu\text{s}$ 以下。
- 注) アドレス指定は上位アドレスに変更のない場合は、下位アドレスのみの指定で可能であるが、逆に上位アドレスのみの指定では、ラッチはされるが、アドレスカウンタにはデータは転送されない。

2. ライトサイクル/WRITE Cycle



- *6 データ入力 (DA0~DA3) は、 \bar{R}/W “H” のとき、CE 正エッジで書込みされる。
- *7 ライトサイクルでは CE “H” レベル時も、DO0~DO3 は出力開放となる。
- *8 *4 参照。
- *9 タイミング時間： $t_1, t_2, t_3, t_4, t_6, t_7, t_8, t_{10}, t_{11}, t_{12}, t_{13}, t_{15}$ および t_{16} は $6\mu\text{s}$ 以上。
 タイミング時間： t_5, t_9 および t_{14} は $0\mu\text{s}$ 以上。